This Page Is Inserted by IFW Operations and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents will not correct images, please do not report the images to the Problem Image Mailbox.

				•
		<i>y</i> *		
	· ·			
	#"			
			,	
				•
			•	
			**	
	. *			
			<u>.</u>	
	v. *			

(\$4) ELECTRONIC DEVICE

• (11) 4-368167 (A) (43) 21.12.1992 (19) JP

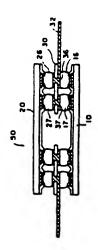
(21) Appl. No. 3-170485 (22) 14.6.1991

(71) YAMAHA CORP (72) MASAYOSHI OMURA

(51) Int. Cl. H01L25 065, H01L25 07, H01L25 18

PURPOSE: To improve easiness of manufacture and also improve mounting density in an electronic device combining IC chips such as an LSI chip.

CONSTITUTION: A plurality of IC chips 10, 20 are fixed and electrically connected by a plurality of connecting materials with the electrode forming surfaces directioned inside for the face-to-face arrangement. Moreover, electrical terminals such as leads 32 connected to at least one integrated circuit of the IC chips 10 and 20 are led to outside from the space between chips. Each connecting material is formed by protruding electrodes 16, 26 and electrode connecting portion 36. The face-to-face bonding can be done easily by previously providing the protruding electrodes 16, 17, 26, 27 in the chip side or lead side. In addition, a high density mounting can be realized by stacking and bonding a plurality of chip sets 50.



50: chip set

THIS PAGE BLANK (USPTO)

日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平4-368167

(43)公開日 平成4年(1992)12月21日

Int.Cl.*	識別記号	庁内登理番号	FI	HATE
01L 25/06			•	技術表示箇所
25/07				
25/18				
		7220 – 4 M	HOIL 25/08	Z

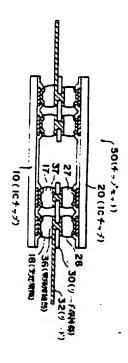
	審査請求 未請求 請求項の数3(全 3 頁)
特顯平3-170485	(71)出版人 000004075
平成3年(1991)6月14日	ヤマハ株式会社 静岡県浜松市中沢町10番1号 (72)発明者 大村 昌良 静岡県浜松市中沢町10番1号ヤマハ株式会
	社内 (74)代理人 弁理士 伊沢 鞍昭

【発明の名称】 電子装置

【要約】

別 LSIチップ等のICチップを組合せた電子 において、製造容易性を改善すると共に実装密度の を図る。

京】 複数のICチップ10、20を電極形成面を にして対向配置した状態で複数の接続体により固定 つ電気接続すると共に、ICチップ10及び20の くとも一方の集積回路に接続されたリード32等の 電子をチップ間の空間から外方に導出する。各接続 突起電極16、26及び電極接続部36等により される。突起電極16、17、26、27等をチッ はリード側に予め設けておくことによりフェース フ・フェースで簡単にポンディングを行なえる。ま しのように構成されたテップセット50を複数重ね 量することで高密度の実装が可能になる。



【特許請求の範囲】

【請求項1】 (a) 一方の主面に第1の集積回路及びこ の回路の複数の電極が形成された第1の集積回路チップ と、(b) この第1の集積回路チップの一方の主面に対 向し且つ接近して配置される第2の集積回路チップであ って、前記第1の集積回路チップの一方の主面と対面す る一方の主面には第2の集積回路が形成され且つこの回 路の複数の電極が前記第1の集積回路の複数の電極に対 応して形成されているものと、 (c) 前記第1及び第2 の集積回路チップを前記対向し且つ接近した配置状態に 10 固定すると共に両集積回路チップの対応する電極同士を それぞれ電気的に接続するように両集積回路チップ間に 介在配置された複数の接続体と。(d) 前記第1及び第 2の集積回路チップの間で前記第1及び第2の集積回路 のうち少なくとも一方のものに電気的に接続され、両葉 横回路チップの間から外方に導出された複数の電気端子 とをそなえた電子装置。

【請求項2】 (a) 一方の主面に第1の集積回路及びこ の回路の複数の重極が形成された第1の集積回路チップ と、(b) この第1の集積回路チップの一方の主面に対 20 向し且つ接近して配置される第2の集積回路チップであ って、前記第1の集積回路チップの一方の主面と対面す る一方の主面には第2の集積回路が形成され且つこの回 路の複数の電極が前記第1の集積回路の複数の電極に対 応して形成されているものと、(c) 前記第1及び第2 の集積回路チップを前記対向し且つ接近した配置状態に 固定すると共に両集積回路チップの対応する電極同士を それぞれ電気的に接続するように両集積回路チップ間に 介在配置された複数の接続体と、(d)前記第1及び第 2の集積回路チップの間で前記第1及び第2の集積回路 30 接続し、樹脂体6によりICチップ2A、3A、1 のうち少なくとも一方のものに電気的に接続され、両集 積回路チップの間から外方に導出された複数の電気端子 と、(e) 前記第1及び第2の集積回路チップの間で前 記第1及び第2の集積回路の各一部又は全部を気密封止 するように両集積回路チップの間に介在配置された封止 体とをそなえた電子装置。

【副求項3】(a)一方の主面に第1の集積回路及びこ の回路の複数の電腦が形成された第1の集積回路チップ と、(b) この第1の集積回路チップの一方の主面に対 向し且つ接近して配置される第2の集積回路チップであ って、何記第1の集積回路チップの一方の主面と対面す る一方の主面には第2の集積回路が形成され且つこの回 路の複数の電極が前記第1の集積回路の複数の電極に対 応して形成されているものと、(c) 前記第1及び第2 の集積回路チップを前記対向し且つ接近した配置状態に 固定すると共に両集積回路チップの対応する重極同士を それぞれ電気的に接続するように両集積回路チップ間に 介在配置された複数の接続体と、(d) 前記第1及び第 2の集積回路チップの間で前記第1及び第2の集積回路 のうち少なくとも一方のものに電気的に接続され、両集 50 広くとる必要があり、外形が大型化する不配金

横回路チップの間から外方に導出された推散の とを有するチップセットを複数個そなえ、これが0 プセットを前記電腦が形成された主面とは反対電 にて重ね合せ且つ接着したことを特徴とする電子 【発明の詳細な説明】

[0001]

【産業上の利用分野】この発明は、LSIチップ 数のIC(集積回路)チップを組合せた電子製 し、複数のしごデップを電極形成面を内側にして 置した状態で突起進極等の複数の接続体により固 つ職気接続したことにより製造容易性を改善する 実装密度の向上を図ったものである。

[0002]

【従来の技術】従来、【じチップを組合せた電子 しては、図15~16に示すようにリードフレー チップ保持部1Aの一主面及び他主面に1Cチッ び3をそれぞれ製面にて固着すると共に1Cチッ び3の電域をポンディングワイヤ4及び5により れリード1a及び1bに接続し、樹脂体6により ップ2、3、チップ保持部1A、ポンディング 4. 5及びリード1a.1bのチップ近傍部分を ド封止したものが知られている (例えば実開平2) 248号公報参照)。

【0003】また、別の従来装置としては、図11 すようにリード1a.1bから分岐した上下のチュ 持部1A、1Bに図15~16で述べたと同様にし ップ2A及び3Aと2B及び3Bとをそれぞれ固着 と共にこれらのチップをポンディングワイヤ4A及 Aと4B及び5Bとによりリードla、1bにそれ 3 B、テップ保持部1A、1B、ポンディングワイ A. 5A. 4B. 5B及びリードla. 1bのチャ 傍部分をモールド封止したものが知られている (病 報参照)。

(00041

【発明が解決しようとする課題】 図15~16の創 選によると、2 チップを重ねて結合したことで実施 の向上が可能であるが、製造が容易でないという間 がある。すなわち、ICチップ2及び3はいずれも 40 形成面を外側に向けた状態でチップ保持部1Aに関 られるため、倉極形成面やポンディングワイヤを ないよう特別の注意を払って取扱う必要があり、 方のICチップ2についてワイヤポンディングが構 た後他方のICチップ3についてワイヤポンディス 行なうときは I C チップ 2 の電極形成面やポンディ ワイヤを傷つけないよう保護するのが容易でない。 【0005】また、図17の装置によると、図1 6 の装置と同様の問題点がある他、組立作業にプ 業性を良くするためチップ保持部 LA及びLBの

チップの間から外方に導出された複数の意刻

トを前記電極が形成された主面とは反対側**の他子装置を提供することにある。** ○台せ且つ接着したことを特徴とする電子装動0 7]

つ詳細な説明】

111

その向上を図ったものである。

12]

ミびリード1a. 1bのチップ近傍部分を表えている。 . たものが知られている(例えば実開平2<mark>)081このような構成において、複数の電気端子</mark>

+3】また、別の従来装置としては、図1 ${}_{f e}$ 続体とは別の突起電極等から導出してもよい。 [リード 1 a、 1 b から分岐した上下のチ つ 9] この発明の構成にあっては、第1及び第2 これらのチップをボンディングワイヤ4A及体を配置してもよい。 .及び5 Bとによりリード 1 a. 1 bにそ 1 0 】また、上記のように第 1 及び第 2 の集積回 :モールド封止したものが知られている(風でもよい。

41

特別の注意を払って取扱う必要があり、特厚さが薄くなり、実装密度が向上する。 テップ2についてワイヤボンディングが持 1 2】その上、上記したように2つの集積回路チ 係つけないよう保護するのが容易でない。とができる。 5] また、図17の装置によると、図15 13] さらに、上記したように複数のチップセッ くするためテップ保持部1A及び1Bの

するチップセットを複数個そなえ、これらの00061 この発明の目的は、製造容易で実装密度の

国を解決するための手段】この発明による**電**子装置 (a) 一方の主面に第1の集積回路及びこの回路の 上の利用分野】この発明は、LSIチップ型の電極が形成された第1の集積回路チップと、 こ(集積回路)チップを組合せた電子装置 この第1の集積回路チップの一方の主面に対向し χのICチップを軽極形成面を内側にしてM接近して配置される第2の集積回路チップであっ で態で突起電極等の複数の接続体により固定前記第1の集 領回路チップの一方の主面と対面する **え続したことにより製造容易性を改善するとの主面には第2の集積回路が形成され且つこの回路** 数の電極が前記第1の集積回路の複数の電極に対応 形成されているものと、(c) 前記第1及び第2の)技術】従来、ICチップを組合せた電子報路チップを前記対向し且つ接近した配置状態に固 図15~16に示すようにリードフレー48と共に両集積回路チップの対応する電極同士をそ 条持部 I Aの一主面及び他主面に I C チッ れ電気的に接続するように両集積回路チップ間に介 うれぞれ製面にて固者すると共にICチッ 置された複数の接続体と、(d)前記第1及び第2 は極をポンディングワイヤ4及び5により 検回路チップの間で前記第1及び第2の集積回路の ・1 a 及び 1 b に接続し、樹脂体 6 により 少なくとも一方のものに意気的に接続され、両集機 3、チップ保持部1A、ポンディング・テップの間から外方に導出された複数の電気端子と

复数の接続体から導出してもよいし、あるいはこれ

1 Bに図15~16で述べたと同様に M回路チップの間で第1及び第2の集積回路の各一 、 及び3Aと2B及び3Bとをそれぞれ固≹全部を気密封止するように両集積回路チップの間

樹脂体 6 により I C チップ 2 A、 3 A、 ↑ブ、複数の接続体、複数の電気端子等を組合せた 30 「ップ保持部1A.1B.ポンディングワ**∳セットを複数固設け、これらのチップセットを**電 .. 4B. 5B及びリード1a. 1bのテ*成された主面とは反対側の主面にて重ね合せ且つ

111

]] この発明の構成によれば、第1及び第2の集積 尋決しようとする課題】図15~16の

ップを電極形成面を内側にしてフェース・トウ・ と、2 チップを重ねて結合したことで実業スで接続するので、電極形成面等の損傷を回避す :可能であるが、製造が容易でないという<mark>は容易であり、しかもフェースダウンボンディング</mark> すなわち、ICチップ2及び3はいずれせり簡単に接続作業を行なえる。また、2チップを 外側に向けた状態でチップ保持部1Aに関接近させて電極接続を行なうので、実質的に1チ 40 **め、駐極形成面やポンディングワイヤを撮の占有面積で足りると共に図15~16のものに**

の1 Cチップ3についてワイヤボンディンに対止体を設けると、信頼性を向上させることが きは!Cテップ2の電極形成面やボンディ 所望により封止用のパッケージを省略又は簡略化

と同様の問題点がある他、組立作業について選手を成面とは反対側の面で重ね合せて接着する **ラブセット間の距離を接着材層の厚さ程度にまで** 幅に向上する。

[0014]

【実施例】図1は、この発明の一実施例による電子装置 としてのチップセット50の断面構造を示すものであ り、このチップセット50は、突起電極16、17等を 有する第1のICチップLOと、突起耄耋26,27等 を育する第2のICチップ20と、リード32、電極接 統部36、37等を育するリード保持部30とをそなえ ている。

【0015】【Cチップ10は、閏2に一例を示すよう にシリコン等の半導体基板10Aの一方の主面に所望の 集積回路11及びこの回路の多数の突起耄耋16.1 7. 18 a. 18 bを形成したものである。ここで、突 起電極16は、チップ間接続兼外部導出用のもの、突起 耄極17は、チップ間接続専用のもの、突起耄極18 a.18bは、チップ間接続の機械的強度を増すための ダミー電極(通電しない電極)である。なお、突起電極 17.18a.18bは場合によっては省略してもよ 11.

20 【0016】各突起離極は、一例を突起離極16につい て図3に示すように形成される。すなわち、基板10A の表面を覆うシリコンオキサイド等の絶縁膜12の上に 突起電極16の下地となる電極を形成した後、この下地 亀種の上にメッキ法、ハンダ法、転写パンプ法等の公知 の方法により突起電極16を形成する。下地電極は、例 えば第1及び第2の金属層13及び15を保護絶縁膜1 4の接続孔を介して積層して成るもので、絶縁膜12の 上に金属層13を覆って絶縁膜14を形成した後、絶縁 膜 1.4 に接続孔を形成し、この接続孔を介して金属層 1. 3 に接続されるように金属層15を形成することにより 得られる。第1の金属層13は、巣積回路11の配線に 接続されているもので、例えばAI又はAI合金からな る。また、第2の金属層15は、耐糖食性及び耐酸化性 を有すると共に第1の金属層13及び突起車極16と密 着性(ぬれ性)が良い金属(例えばTi、Ni、Cr、 Cu、Pd、Au、Pt等) からなるものである。な お、耐酸化性や密管性を一層向上させるために第2の金 属層15を多層構造にしてもよい。

【0017】【Cチップ20は、上記した【Cチップ】 0 と同様に構成されるもので、一方の主面には図2に示 したのと同様の集積回路が形成され且つこの回路の2 6、27等の多数の突起電極が図2の突起電極16、1 7、181、185等に対応して形成されている。10 チップ10及び20のサイズは、ほぼ同じに示してある が、異なっていてもよい。

【0018】リード保持部30は、図4~5に一例を示 すようにキャリアテープ31を用いて製作される。キャ リアテープ31は、ポリイミド等の樹脂からなるもの 必要があり、外形が大型化する不都合を地できるので、図17のものに比べて実装密度が大 50 のリード32が設けられている。また、中央孔33の周 で、その一方の主面には中央孔33を取囲むように多数

囲には、多数の電極接続部36、37、38a、38b が設けられており、各電極接続部は、図5に示すように キャリアテープ31の一方の主面から他方の主面に貫通 するように形成されている。

5

【0019】電極接続部36は、チップ間接続兼外部導 出用のものであり、それぞれリード32に接続されてい る。電極接続部37は、チップ間接続専用のもの、電極 接続部38a, 38bは、前述のダミー電極18a, 1 8 bとそれぞれ接続されるものである。電極接続部3 8 a. 38bについては、チップ間接続が不要であるた め、キャリアテープ31の両主面 間を貫通した形にせ ず、各主面毎に独立の接続部を形成してもよい。なお、 電極接続部37、38a、38bは場合によっては省略 してもよい。

【0020】リード32及び各種極接続部は、例えばじ u等の金属からなり、その表面には金、スズ等がメッキ されている。これは、突起電極とのぬれ性を良くするた めと、酸化されやすい銅の表面を保護するためである。

【0021】キャリアテープ31には、中央孔33の他 に、リード韓呈孔34a~34d及び送り孔35A.3 20 ができる。 5 Bが設けられている。中央孔33は、キャリアテーブ 31の湾曲時にチップ面に当る部分をなくすためのもの で、チップ面に当るおそれがない ときは省略してもよ い。リード韓皇孔34a~34dは、リード32の切断 及び折り曲げを容易にするためのもの、送り孔35A、 35日は、キャリアテープ31を巻取ったり、チップポ ンディング時に位置決めに用いたりするものである。

【0022】リード保持邸30は、キャリアテープ31 を切断線39に沿って切断することにより同テープから 分離される。通常は、このような分離作業に充立ってI Cチップ10,20をリード保持部30にポンディング する.

【0023】チップポンディングにあたっては、図1に 示すように【Cチップ10及び20をリード保持部30 に対してフェース・トウ・フェースにて加熱・圧蓄す る。キャリアテープ31をポリイミド等の耐熱性ある樹 指で形成しておけば、300~350℃まで変質せず使 用できるため、加熱を十分に行なうことができ、突起電 極をハンダで形成しても容易に容融・接着を行なえる。 なお、【Cチップ10及び20の接着は、同時でもよい 40 し、別々でもよい。

【0024】テップポンディングの後、キャリアテープ 31からリード保持部30を切断・分離すると、図1に 示すようなチップセット50が得られる。このようなチ ップセット50では、ICチップ10及び20の集積回 路が並列接続されることになるが、各チップ毎に独立に 集積回路を動作させるためには、次の(イ)又は(ロ) のいずれかの方法を採用することができる。

【0025】(イ) 【Cチップ10又は20において少 なくとも1つのリードに対する電気接続を切断又は非接 50 【0033】上記実施例において、リード保持側

統状態としておくことにより各チップを異なるり にて動作させる。

ò

【0026】 (ロ) 【Cチップ10及び20のうち くとも一方のものに特別な信号に応答して該一方の を動作可能とする回路を予め集積化しておく。

【0027】図6は、デップセット50の取付構造 例を示すものである。しじチップ10、20及びパ 保持部30を含むチップセット50は、電気端子と の多数のリード32が四方に導出されている。 配御 (又はパッケージ基板) 40の一主面には、リード に対応して多数の配線層4.2が設けられると共に割 層毎にポンディングパッドとしての電極層44が改 れている。各リード32は、対応する配線層42の 4.4に熱圧資等により接続される。

【0028】チップセット50上には他のチップセ を重ねて配置し、そのリードを基板40上の配線閣 続してもよい。また、チップセット50の上下の面 ヒートシンクを接触して配置することもでき、この にすれば発熱量の多い集積回路にも十分に対処する

【0029】図7は、チップセットを収納したパー ジ構造の一例として複数のチップセットをPGA グリッドアレイ)バッケージに収納した構成を示。 である.

【0030】バッケージ基板60には、中央部を関 ように例えば3段階的に複数のピン64A.64日 4 Cが設けられており、2及び3段目のピン6 4 B 4Cは昼板60上で絶縁枠628.62Cをそれぞ 通して各々の枠の上部に 現われるように配置され

【0031】基板60の中央部には、図1に示した町 な例えば3つのチップセット50A. 50B. 50 重ねて配置される。チップセット50Aは下面におり 基成60の表面に接着付層66aにより接着される に各リード52Aが1段目の対応するピン64Aの 端部に接続される。チップセット50Bは下面及び においてチップセット50Aの上面及びチップセッ OCの下面にそれぞれ接着材層66b、66cによ 着されると共に各リード52Bが2段目の対応する 64日の内方端部に接続される。チップセット50 各リード52 Cは3段目の対応するピン64 Cの例 部に接続される。

【0032】 基版60上には、チップセット50A OC、ピン64A~64C、絶縁枠62B、62C 茂うようにキャップ68が配置される。キャップ6 下端部を接着材層66dにより基板上面に固着す によりキャップ内の物体が気密封止される。な数 打層66a~66dとしては、樹脂、ハンダ、N 等のうち任意のものを用いることができる。

30

・26] (ロ) 【Cチップ10及び20のうち」ともできる。 可能とする回路を予め集積化しておく。

:のリード32が四方に導出されている。配律とである。

然圧者等により接続される。

28] チップセット50上には他のチップセ 36] 【Cチップ70は、図9に一例を示すよう

各々の枠の上部に現われるように配置されに得られる。

記憶される。チップセット50Aは下面に操止用金属部が形成されている。

うにキャップ68が配置される。キャップ60を用いる。

5任意のものを用いることができる。

3としておくことにより各チップを異なるリーは、キャリアテープ31から分断した部材を用いる に、アルミナ等のセラミック板、樹脂等の薄板を用

、一方のものに特別な信号に応答して該一方の♥3.4.1 図.8 は、この発明の他の実施例によるチッ リト100を示すもので、このチップセットの特徴 : 27] 図6は、チップセット50の取付構造 1に突起着極及び配練層(電気端子)を育する配 ;すものである。1Cチップ10、20及びり^{計部を}リード保持部の代りに用いるようにしたこと 430を含むチップセット50は、電気端子とり、第2に1Cチップ間に封止体を配置するように

:バッケージ基板) 40の一主面には、リード 35】 チップセット100は、メタルシール部9 :して多数の配銀層42が設けられると共に計配線層92、突起電極94、95、104、10 ボンディングパッドとしての電極層44が設計止用突起部96、106、電極接続部101、1 - る。各リード32は、対応する配線層42の 突起連結部103等を有する配線保持部90と。 **ドップ70.80とをそなえている。**

. て配置し、そのリードを基板40上の配線層体基板70Aの一方の主面に所望の集積回路71 もよい。また、チップセット50の上下の声の回路を取囲む封止用金属部76と、回路71の シンクを接触して配置することもでき、この接続された多数の電極(ポンディングパッド)で ば発熱量の多い集積回路にも十分に対処す。主形成したものである。各電極75は、チップ間接 |||部導出用のものである。各載幅75及び封止用金 20 29] 図7は、チップセットを収納したパッ6は、互いに同様の積層構造を有するもので、図 カー例として複数のチップセットをPGA Pべた下地電極と同様にして図10に示すように形 ドアレイ) バッケージに収納した構成を示する。すなわち、基板70Aの表面を覆う絶録度7 上にAI又はAI合金等の第1の金属層73と、接

30) パッケージ基板60には、中央部を映有する保護絶縁膜74と、金属層73及び突起電 例えば3段階的に複数のピン64A、64回5のいずれとも密着性の良い第2の金属層75A 设けられており、2及び3段目のピン64事次に形成することによりいずれも金属層73、7 基版60上で絶録枠62B、62Cをそれ排積層した構成の電振75及び封止用金属部76が

37】ICチップ80は、上記したICチップ7 3 1】 基板 6 0 の中央部には、図1に示した機に構成されるもので、一方の主面には図9の7 ば3つのチップセット50A、50B、50 5、76にそれぞれ対応して集積回路、多数の鍵

Oの表面に接着打層66aにより接着される381配線保持部90は、図11~12に一例を ード52Aが1段目の対応するピン64Aのように柔軟性のあるキャリアテープ91を用いて製 接続される。チップセット50Bは下面及3**4**3。キャリアテープ91は、ポリイミド、ペーク てテップセット50Aの上面及びチップセットエボキシ等の樹脂からなり、一層形式又は多層 下面にそれぞれ接着材層66b、66cには多数の配線層92が形成されている。配線層92 もと共に各リード52Bが2段目の対応す構造金属をメッキ法、蒸音法等で被害した後ホトリ の内方清部に接続される。チップセット50⁰フィ処理によりパターニングする方法、あるいは ド52Cは3段目の対応するピン64Cの内をスクリーン印刷する方法等により形成される。 ▇92の材料としては、テープ91の樗曲や折り曲

3 2】 基版 6 0 上には、チップセット 5 0 小心できるようある程度の柔軟性や展性を育するも ピン64A~64C、絶縁控62B、62CMははA1、Cuあるいはこれらの合金、Au、T

を接着材得66dにより基板上面に固着する 39】各配線層92の両端部には、密着性を増す デャップ内の物体が気密封止される。なお、 193を介して(又は介さずに)突起電極94、9 う3~66dとしては、樹脂、ハンダ、ペ<mark>ラ</mark>はされ、これらの突起電極の反対側にもそれぞれ 第104、105が形成される。突起電極94.

33]上記実施例において、リード保持書3回は、故障診断に使用されたり、回路基板等に接続 50

されたりするものであり、突起奪艦95,105は1*C* チップ80,70とそれぞれ接続されるものである。突 尼電振94と95及び104と105は、それぞれ電振 接続部101及び102により相互接続される。突起電 履94、95、104、105は、ハンダ法、メッキ法 等により形成されるもので、例えば300~350℃以 下で溶駐スは軟化する金属からなる。

R

【0040】メタルシール部91Aは、高温で樹脂から ガスが排出されるのを防ぐためのもので、配練層92と 10 同様の材料で同様にして形成される。メタルシール用金 属層91aには、密封性を上げるため他の金属を蒸着又 はメッキしてもよい。メタルシール部91Aの外層に相 当する突起連結部103は、101等の電極接続部と共 通のプロセスで形成される。また、突起連結部103の 両側には、封止用突起部96.106が104等の突起 耄極と共通のプロセスで形成される。 このようにメタル シール部91A、突起連結部103、封止用突起部9 6、106を配装層92、電極接続部101、突起電極 9.4 とそれぞれ共通のプロセスで形成すると、工程が簡 単となる利点が得られるが、別プロセスで形成すること も可能である。

【0041】ICチップ70及び80は、リード保持部 30について前述したと同様に配線保持部90に対して 図8に示すようにポンディングされる。このとき、封止 用突起部96,106が1Cチップ70,80の76等 の封止用金属層に固着されるので、これらのチップの7 1等の集積回路は、チップ70、80、メタルシール部 91A、突起部96、106等により気密封止される。 このように構成されたチップセット100は、パッケー 30 ジ等の封止器を省略するか又は簡素化することができ

【0042】チップポンディングの後、図11に示す切 断線97に沿ってキャリアテープ91を切断することに より同テーブからICチップ70.80を有する配線保 持部90(すなわち図8のチップセット100)を分離 する.

【0043】図13は、回路基板へのチップセットの取 付構造の一例を示すものである。回路基板110の一方 の主面には、多数1個のチップセット取付部112 (1)~112 (n) が並設されると共に、CPU (中 央処理ユニット)等のICチップ114が設けられてい る。 図 8 に示したような I C チップ 1 0 0 (1) ~ 1 0 0 (n) は、100 (1) について代表的に示すように 突起電極94.104側の端縁にてチップセット取付部 1 1 2 (1) ~ 1 1 2 (n) にそれぞれ直立状に取付け られる.

【0044】チップセット100(1)~100(n) は、取付けの前又は後に重ね合わされた状態で財糧、低 起点ハンダ、ペースト等の接着材層 <u>1</u> 1 6 a, 1 1 6 b ・・・により接着される。この結果、高密度の実装が可

能となる。

【0045】一例として、チップセット100(1)~100(n)を半導体メモリのチップセットとすれば、小型で大容量の配徳装置を実現することができる。この場合、各チップの基版への配練長が短いため配線による信号遅延が少なく、高速動作が可能である。従って、かような記憶装置は、CPUのメインメモリ等として用いるに好適なものである。

【0046】図14は、この発明の更に他の実施例によ 【図6】 図1のチップをサップをサット50aを示すものである。図14におい 10 態を示す斜視図である。 以明を省略する。 【図7】 図1のチップ

【0047】チップセット50aの特徴は、第1に1C チップ10、20の突起電極17、27を直結したこと であり、第2に外部への電極導出を一方のチップ10の 突起電極16からリード32により行なうようにしたことである。この場合、突起電極16は、外部導出専用と なり、突起電極17、27は、チップ間接続専用とな る。また、リード32は、図15に示したようなリード フレーム又は中央部に孔を設けたキャリアテープを用い るなどして容易に形成可能である。

【0048】チップセット50aにあっては、図8~12に示した封止構造を採用することもできるが、別の方法として、ICチップ10及び20の間に謝脂等を注入し、硬化させるなどして封止用絶縁体120を介在配置してもよい。

[0049]

【発明の効果】以上のように、この発明によれば、第1 及び第2の集積回路チップを対向・接近させた状態で複数の接続体により固定し且つ電気接続するようにしたの 30 で、製造容易で実装密度の高い電子装置を実現可能となる効果が得られるものである。

【0050】また、第1及び第2の集積回路チップの間 に封止体を介在配置すると、パッケージを用いなくても 信頼性の向上が可能となる効果が得られる。

【0051】さらに、複数のチップセットを電極形成面と反対側の面で重ね合せ且つ接着すると、実装密度が大幅に向上する効果も得られる。

【図面の簡単な説明】

【図 i】 この発明の一度施例によるチップセッ す断面図である。

【図2】 図1の構成におけるICチップの料模図る。

【図3】 図2のA-A 譲に沿う断面図である。

【図4】 図1の構成に用いるキャリアテーブの料である。

【図5】 図4のB-B 線に沿う断面図である。

【図 6】 図 1 のチップセットを配線基板に取付け 態を示す料視図である。

【図7】 図1のチップセットを複数組合せてパッジに収納した状態を示す断面図である。

【図8】 この発明の他の実施例によるチップセッ 示す断面図である。

【図9】 図8の構成における[Cチップの斜模図 る。

【図10】 図9のC-C、線に沿う断面図である。

【図11】 図8の構成に用いるキャリアテーブの 図である。

70 【図12】 図11のD-D 線に沿う断面図である 【図13】 図3のチップセットを配線を5にゅいる

【図13】 図3のチップセットを配線基板に取付け 状態を示す断面図である。

【図 1 4 】 この発明の更に他の実施例によるチッツトを示す断面図である。

【図15】 従来の電子装置の一例を示す斜視図もる。

【図16】 図15のX-X 線に沿う断面図である 【図17】 従来の電子装置の他の例を示す断面図で

0 【符号の説明】

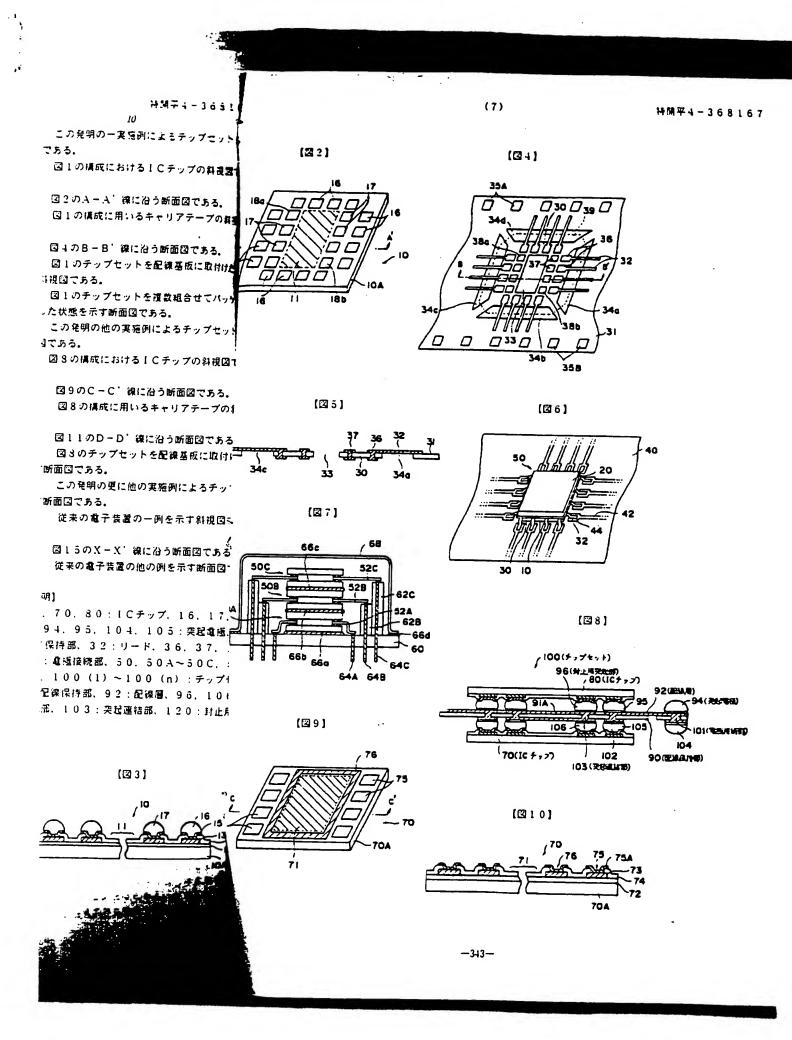
10.20.70.80:ICチップ、16.17 6.27.94.95.104.105:突起電極 0:リード保持部、32:リード、36.37. 1.102:電極接続部、50.50A~50C. a,100.100(1)~100(n):チップト、90:配線保持部、92:配線層、96.10 封止用突起部、103:突起連結部、120:封止原 緑体。

[31]

20 (IC + + 7)
20 (IC + + 7)
27
28
30 (y - 'Siell)
37
37
36 (Sierus)
16 (Regul)

10 17 16 13

[233]

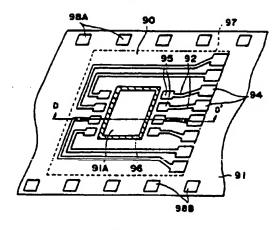


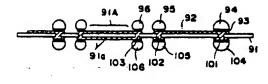


特開平4-363167

[2] 1 1]

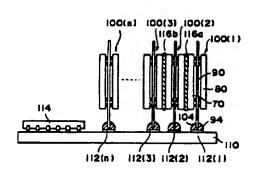
(**2**12)

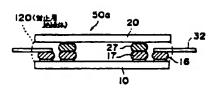




[図13]

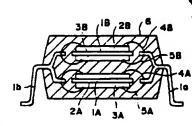
[214]





[2]15]

(**216**)



[図17]

